

#3
L 698 184316 5/30/02
Mush

31046 U.S. PTO
10/067951
02/05/02



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2001년 제 56505 호
Application Number PATENT-2001-0056505

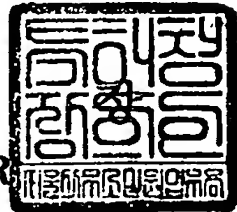
출원 년 월 일 : 2001년 09월 13일
Date of Application SEP 13, 2001

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 11 월 23 일

특 허 청
COMMISSIONER



	【서지사항】
【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2001.09.13
【발명의 명칭】	캐패시터 형성방법
【발명의 영문명칭】	mehtod for fabricating capacitor
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	안병권
【성명의 영문표기】	AHN, Byoung Kwon
【주민등록번호】	711126-1226917
【우편번호】	142-812
【주소】	서울특별시 강북구 미아3동 307-24
【국적】	KR
【발명자】	
【성명의 국문표기】	김준호
【성명의 영문표기】	KIM, Joon Ho
【주민등록번호】	690903-1000515
【우편번호】	135-775
【주소】	서울특별시 강남구 대치2동 미도아파트 206동 901호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 490,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 캐패시터의 정전용량(capacitance)을 향상시키는 동시에 누설전류를 낮출수 있는 캐패시터 형성방법에 관해 개시한다.

개시된 본 발명의 캐패시터 형성방법은 기판 상에 소정영역을 개구시키는 제 1 개구부를 가진 제 1절연층을 형성하는 단계; 제 1개구부를 채우는 도전플러그를 형성하는 단계; 제 1절연층 상에 도전플러그를 노출시키는 제 2개구부를 가진 제 2절연층을 형성하는 단계; 제 2절연층 상에 플라즈마 화학기상증착 및 저압화학 기상증착 공정을 연속적으로 진행시켜 제 2개구부를 덮는 도전층을 형성하는 단계; 질소가스 분위기 하에서 도전층에 제 1열처리하는 단계; 상기 결과의 도전층을 에치백하여 제 2절연층을 노출시키는 단계; 제 2절연층을 제거하여 캐패시터의 스토리지노드 전극을 형성하는 단계; 스토리지노드 전극을 덮는 유전체층을 형성하는 단계; 및 유전체층을 덮는 플레이트전극을 형성하는 단계를 포함한다.

【대표도】

도 2e

【명세서】**【발명의 명칭】**

캐패시터 형성방법{method for fabricating capacitor}

【도면의 간단한 설명】

도 1a 내지 도 1i는 종래 기술에 따른 캐패시터 형성과정을 보인 공정단면도.

도 2a 내지 도 2h는 본 발명에 따른 캐패시터 형성과정을 보인 공정단면도.

도면의 주요부분에 대한 부호의 설명

200. 반도체기판	202. 도전영역
204. 제 1절연 패턴	206, 222. 개구부
208. 다결정실리콘층	210. Ti막
212. TiN막	220. 제 2절연층
224. 루테늄(Ru)막	226. 스토리지노드 전극
228. 유전체층	230. 플레이트전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 캐패시터(capacitor) 형성방법에 관한 것으로, 보다 상세하게는 캐패시터의 정전용량(capacitance)을 증대시키면서도 누설전류를 최소화할 수 있는 캐패시터 형성방법에 관한 것이다.

- <11> 일반적으로 알려진 바와 같이, 최근 반도체 제조 기술의 발달과 더불어서 메모리 소자의 수요가 급증하고 있다. 데이터 저장 수단으로 이용되는 캐패시터는 전극의 면적과 상기 전극 간의 거리와 전극 사이에 삽입되는 유전막의 유전율에 따라 그 정전용량이 달라진다. 그러나, 반도체 장치가 고집적화됨에 따라 반도체 장치에서 캐패시터 형성영역이 줄어들게 되고 캐패시터의 전극면적이 작아져서 캐패시터의 정전용량이 감소된다.
- <12> 이에따라, 종래의 발명에서는 금속막 - 유전막 - 금속막(MIM)의 캐패시터 구조에서 스토리지노드 전극으로 루테튬(Ru)막을 증착하고, 그 상부에 유전막으로 고유전율을 갖는 TaON막을 증착하고, 상기 유전막 상부에 금속막을 증착함으로써, TaON 캐패시터의 정전용량을 극대화 하고있다.
- <13> 도 1a 내지 도 1i는 종래 기술에 따른 캐패시터 형성과정을 보인 공정단면도이다.
- <14> 종래기술에 따른 캐패시터 형성방법은, 도 1a에 도시된 바와 같이, 먼저 소오스/드레인 등의 도전영역(102)을 포함한 반도체기판(100) 상에 산화실리콘 등의 제 1절연층(104)을 증착한 후, 상기 제 1절연층(104)을 포토리쓰그라피(photolithography) 공정을 통해 상기 도전영역(102)을 노출시키도록 식각하여 스토리지노드 콘택(storage node contact)인 제 1개구부(106)를 형성한다.
- <15> 이어서, 도 1b에 도시된 바와 같이, 상기 제 1절연층(104)을 포함한 기판 상에 상기 제 1개구부(106)를 덮도록 다결정실리콘층을 증착한 후, 상기 다결정실리콘층을 과도 식각하여 도전플러그(conductive plug)(108)을 형성한다. 이때, 상기

제 1개구부(106) 내에 형성된 도전플러그(108)는 상기 제 1절연층(104) 표면으로부터 움푹패인 형상을 가지도록 형성된다.

<16> 그 다음, 도 1c에 도시된 바와 같이, 상기 도전플러그(108)가 형성된 기판 전면 에 스퍼터링(sputtering)법에 의해 Ti막 및 TiN막을 차례로 증착한 후, 상기 Ti막 및 TiN막을 에치백(etch back)하여 베리어 금속층(burrier metal layer)(a2: 110, 112)을 형성한다.

<17> 이 후, 도 1d에 도시된 바와 같이, 상기 결과물 상에 제 2절연층(121)을 증착한 후, 상기 제 2절연층(121)을 포토리소그라피 공정에 의해 식각하여 상기 베리어 금속층(a2)과 대응된 부분을 노출시키는 제 2개구부(122)를 형성한다.

<18> 이어서, 도 1e에 도시된 바와 같이, 상기 제 2절연층(121)상에 상기 제 2개구부(122)를 덮도록 PVD(Physical Vapor Deposition)방법으로 스토리지노드 전극 형성용 제 1 루테늄(Ru)막(140)을 증착한다. 이때, 상기 제 1 루테늄(Ru)막(140) 증착 공정은 PVD챔버(미도시) 내에서 진행한다.

<19> 그 다음, 도 1f에 도시된 바와 같이, 상기 제 1 루테늄(Ru)막(140) 전면 에 CVD(Chemical Vapor Deposition)방법으로 제 2 루테늄(Ru)막을 증착하여 원하는 두께의 루테늄(Ru)막(142)을 형성한다. 이때, 상기 제 2 루테늄(Ru)막 증착 공정은 상기 PVD챔버 내의 제 1 루테늄(Ru)막(140)이 증착된 기판을 이송시키어 CVD 챔버 내에서 진행한다.

<20> 상기 루테늄(Ru)막 형성 공정을 CVD방법으로만 진행하게 되면 하부의 제 1 절연층 표면에서의 증착속도가 느리고, 또한 루테늄(Ru)막질이 불량해진다.

<21> 따라서, 캐패시터의 스토리지노드 전극 형성용 루테늄(Ru)막(142) 형성은 먼저 PVD방법으로 제 1 루테늄(Ru)막(140)을 증착한 다음, 상기 제 1루테늄(Ru)막 (140)상에 다시 CVD방법으로 제 2 루테늄(Ru)막을 증착하는 방식으로 진행한다.

<22> 이 후, 도 1g에 도시된 바와 같이, 제 2절연패턴을 노출시키도록 루테늄(Ru)막을 에치백하여 캐패시터의 스토리지노드 전극(143)을 형성한다. 그리고 제 2절연패턴을 제거한다.

<23> 이어서, 도 1h에 도시된 바와 같이, 캐패시터의 스토리지노드 전극(143)을 덮도록 유전체층(126)을 형성한 후, 도 1i에 도시된 바와 같이, 상기 유전체층(126)상에 캐패시터의 플레이트전극(130)을 형성한다. 이때, 상기 유전체층(126)으로는 고유전율값을 가진 TiON막을 이용하고, 상기 플레이트전극(130)으로는 스토리지노드 전극 형성과 동일한 PECVD 및 LPCVD 증착 공정에 의해 루테늄(Ru)막을 형성한다. 상기 플레이트전극(130)으로 루테늄(Ru)막 대신에 TiN막을 이용할 수도 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 그러나, 종래의 캐패시터 형성방법에서는 스토리지노드 전극 형성용 루테늄(Ru)막 증착 시, PVD 및 CVD 공정에 의해 진행됨으로써, 또한 PVD챔버에서 CVD챔버로의 이동해야 하는 등 공정 스텝(step)이 증가되는 문제점이 있었다.

<25> 이에 본 발명은 상기 종래의 문제점을 해결하기 위해 안출된 것으로, 캐패시터의 스토리지노드 전극 형성용 루테늄(Ru)막 형성공정을 단순화할 수 있는 캐패시터 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위한 본 발명의 캐패시터 형성방법은 기판 상에 소정영역을 개구시키는 제 1개구부를 가진 제 1절연층을 형성하는 단계; 제 1개구부를 채우는 도전플러그를 형성하는 단계; 제 1절연층 상에 도전플러그를 노출시키는 제 2개구부를 가진 제 2절연층을 형성하는 단계; 제 2절연층 상에 플라즈마 화학기상증착 및 저압화학기상증착 공정을 연속적으로 진행시키어 제 2개구부를 덮는 도전층을 형성하는 단계; 질소가스 분위기 하에서 도전층에 제 1열처리하는 단계; 상기 결과의 도전층을 에치백하여 제 2절연층을 노출시키는 단계; 제 2절연층을 제거하여 캐패시터의 스토리지노드 전극을 형성하는 단계; 스토리지노드 전극을 덮는 유전체층을 형성하는 단계; 및 유전체층을 덮는 플레이트전극을 형성하는 단계를 포함한 것을 특징으로 한다.

<27> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<28> 도 2a 내지 도 2h는 본 발명에 따른 캐패시터 형성과정을 보인 공정단면도이다

<29> 본 발명의 캐패시터 형성방법은, 도 2a에 도시된 바와 같이, 먼저, 소오스/드레인 등의 도전영역(202)을 포함한 반도체기판(200) 상에 제 1절연층(204)을 증착

한 후, 상기 제 1절연층(204)을 포토리쓰그래피 공정에 의해 식각하여 도전영역(202)을 노출시키는 제 1개구부(206)를 형성한다.

<30> 이어서, 도 2b에 도시된 바와 같이, 상기 제 1절연층(204)을 포함한 기판 전면(200)에 제 1개구부(206)를 덮도록 다결정실리콘층을 증착한 후, 상기 다결정실리콘층을 식각하여 도전플러그(208)를 형성한다. 이때, 상기 다결정실리콘층은 제 1절연층에 비해 식각비가 크며, 도 2b에 도시된 바와 같이, 도전플러그(208)은 움푹 패인 형상을 가진다.

<31> 그 다음, 도 2c에 도시된 바와 같이, 상기 결과물 상에 상기 제 1개구부(206) 내의 도전플러그(208)를 덮도록 Ti막 및 TiN막을 차례로 증착한 후, 상기 Ti막 및 TiN막을 에치백하여 베리어 금속층(a2:210, 212)을 형성한다.

<32> 이후, 도 2d에 도시된 바와 같이, 상기 베리어층(a2) 및 제 1절연층(204)을 포함한 기판 전면(200)에 제 2절연층(221)을 증착한 후, 상기 제 2절연층(221)을 포토리쓰그래피 공정에 의해 식각하여 도전플러그(208)와 대응된 부분을 노출시키는 제 2개구부(222)를 형성한다.

<33> 상기 제 2절연층(221)은 이 후의 공정에서 캐패시터의 스토리지노드 전극을 형성하기 위한 희생층 역할을 한다.

<34> 이어서, 도 2e에 도시된 바와 같이, 제 2절연층(221)을 포함한 기판 전면(200)에 상기 제 2개구부(222)를 덮도록 루테늄(Ru)막(224)을 증착한다. 이때, 상기 루테늄(Ru)막(224) 형성 공정은 CVD 챔버(미도시) 내에서 소오스 재료로 트리스(2,4-옥탄디오네이트)루테늄[Tris(2,4-octanedionato)tuthenium]을 PECVD(Plasma

Enhanced Chemical Vapor Depositon) 방법으로 증착한 후에, 다시 동일 CVD챔버 내에서 LPCVD(Low Pressure Chemical Vapor Deposition)방법으로 증착한다.

<35> 상기 루테튬막 증착 공정은 상기 CVD챔버가 산소가스가 수십 내지 수백 sccm으로 공급되며, 내부의 압력이 수 mTorr 내지 수 Torr로 유지된 상태에서 진행된다.

<36> 또한, 상기 루테튬(Ru)막(224) 형성 시에는 기판을 200~350℃ 온도를 유지한 상태에서 진행하며, 100~300와트(Watt)의 R.F.파워를 공급한다.

<37> 그 다음, 상기 루테튬(Ru)막(224)에 제 1열처리(242)를 진행한다. 상기 제 1열처리(242)는 600~1000℃의 온도 하에서 10 sccm~10slm의 유량의 N₂가스(240)를 수초 내지 수백초 동안 공급한다.

<38> 이 후, 도 2f에 도시된 바와 같이, 상기 루테튬(Ru)막을 화학기계적 연마(CMP:Chemical Mechanical Polishing)방법으로 식각하여 실린더(cylinder)형의 스토리지노드 전극(226)을 형성한다. 그리고 제 2절연층을 습식 식각 방법으로 제거한다.

<39> 이어서, 도 2g에 도시된 바와 같이, 스토리지노드 전극(226)을 덮는 유전체층(228)을 형성한다.

<40> 이때, 상기 유전체층(228)으로는 TiON막을 사용한다. 상기 TiON막은 TiCl₄ 소오스를 170~190℃의 온도로 유지되는 기화기에서 기상상태를 만들고, 반응가스인 NH₃ 가스를 10~1000 sccm 유량으로 공급한다. 또한, 반응로의 압력은 0.1~1.2 토르(Torr)를 유지하고, 300~400℃온도로 가열된 기판에 TiON막을 증착한다.

- <41> 그 다음, 도면에는 도시되지 않았지만, 유전체층(228)을 포함한 스토리지노드 전극(226)을 300~500℃의 온도에서 플라즈마 상태의 N₂O가스 또는 자외선/O₃처리한다.
- <42> 이 후, 500~650℃의 온도에서 유전체층(228)인 TiON막 내의 탄소(C) 성분을 제거하고, 증가된 질소 함량을 유지하기 위해 N₂가스를 사용하여 제 2열처리를 진행한다.
- <43> 이어서, 도 2h에 도시된 바와 같이, 상기 유전체층(228)을 덮는 플레이트전극(230)을 형성한다. 이때, 상기 플레이트전극(230)으로는 스토리지노드 전극(226)과 동일한 방법으로 루테늄(Ru)막을 증착하여 사용한다. 상기 플레이트전극(230)으로 루테늄(Ru)막 대신에 TiN막을 이용할 수 도 있다.

【발명의 효과】

- <44> 이상에서와 같이, 본 발명의 캐패시터 형성방법에서는 스토리지노드 전극 형성에 용 루테늄(Ru)막을 하나의 CVD챔버 내에서 PECVD 및 LPCVD 공정에 의해 연속적으로 증착함으로써, 공정 스텝(step)을 단축시킬 수 있다.
- <45> 또한, 본 발명에서는 PECVD방법 및 LPCVD 공정에 의해 루테늄(Ru)막을 연속적으로 증착함으로써, 루테늄(Ru)막의 증착비를 증가시키고, 루테늄(Ru)막질을 향상 시켜 높은 캐패시터의 정전용량과 낮은 누설전류를 확보할 수 있다.
- <46> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

기관 상에 소정영역을 개구시키는 제 1개구부를 가진 제 1절연층을 형성하는 단계;

상기 제 1개구부를 채우는 도전플러그를 형성하는 단계;

상기 제 1절연층 상에 상기 도전플러그를 노출시키는 제 2개구부를 가진 제 2절연층을 형성하는 단계;

상기 제 2절연층 상에 플라즈마 화학기상증착 및 저압화학기상증착 공정을 연속적으로 진행시켜 상기 제 2개구부를 덮는 도전층을 형성하는 단계;

질소분위기 하에서 상기 도전층에 제 1열처리를 진행하는 단계;

상기 결과의 도전층을 에치백하여 상기 제 2절연층을 노출시키는 단계;

상기 제 2절연층을 제거하여 캐패시터의 스토리지노드 전극을 형성하는 단계;

상기 스토리지노드 전극을 덮는 유전체층을 형성하는 단계; 및

상기 유전체층을 덮는 플레이트전극을 형성하는 단계를 포함한 것을 특징으로 하는 캐패시터 형성방법.

【청구항 2】

제 1항에 있어서, 상기 도전층의 재질은 루테튬(Ru)막인 것을 특징으로 하는 캐패시터 형성방법.

【청구항 3】

제 1항에 있어서, 상기 플레이트전극의 재질은 루테튬(Ru) 또는 TiN막인 것을 특징으로 하는 캐패시터 형성방법.

【청구항 4】

제 1항에 있어서, 상기 플라즈마 화학기상증착 및 저압화학기상증착 공정은 동일 챔버 내에서 진행하는 것을 특징으로 하는 캐패시터 형성방법.

【청구항 5】

제 1항에 있어서, 상기 도전층 형성은 200~350℃의 온도와 100~300와트의 파워를 공급하는 것을 특징으로 하는 캐패시터 형성방법.

【청구항 6】

제 1항에 있어서, 상기 열처리는 600~1000℃의 온도에서 질소가스를 10sccm~10slm의 유량으로 공급하는 것을 특징으로 하는 캐패시터 형성방법.

【청구항 7】

제 1항에 있어서, 상기 유전체층은 TiON막인 것을 특징으로 하는 캐패시터 형성방법.

【청구항 8】

제 7항에 있어서, 상기 TiON막 형성은 TiCl_4 소오스를 170~190℃의 온도로 유지되는 기화기에서 기상상태를 만들고, NH_3 반응가스를 10~1000 sccm 유량으로 공급하는 것을 특징으로 하는 캐패시터 형성방법.

【청구항 9】

제 1항에 있어서, 상기 TiON막 형성은 반응로의 압력을 0.1~1.2토르로 유지하고, 기판의 온도를 300~400℃로 유지하는 것을 특징으로 하는 캐패시터 형성방법.

【청구항 10】

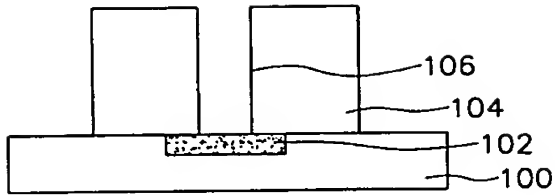
제 1항에 있어서, 상기 유전체층에 300~500℃의 온도에서 플라즈마 상태의 N₂O 가스 또는 자외선/O₃처리하는 것을 특징으로 하는 캐패시터 형성방법.

【청구항 11】

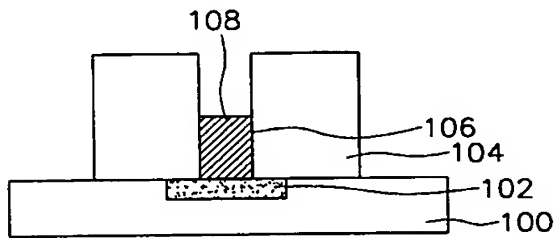
제 1항에 있어서, 상기 유전체층에 500~650℃의 온도에서 질소가스를 사용하여 제 2열처리를 진행하는 것을 특징으로 하는 캐패시터 형성방법.

【도면】

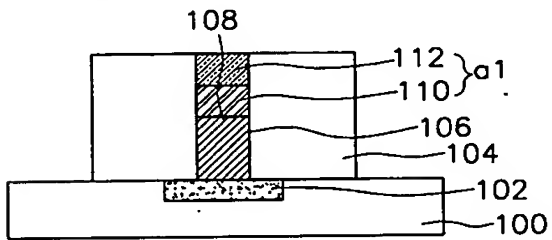
【도 1a】



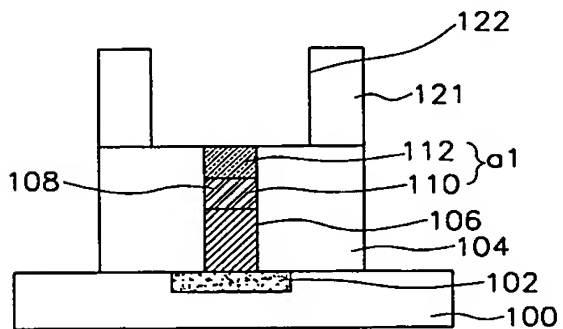
【도 1b】



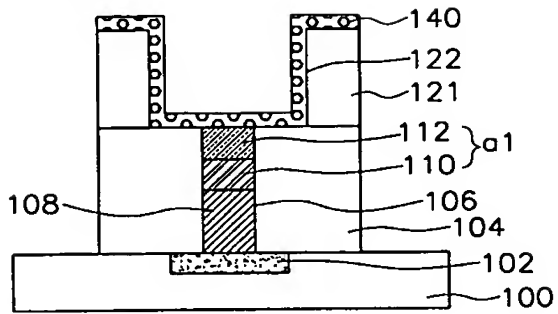
【도 1c】



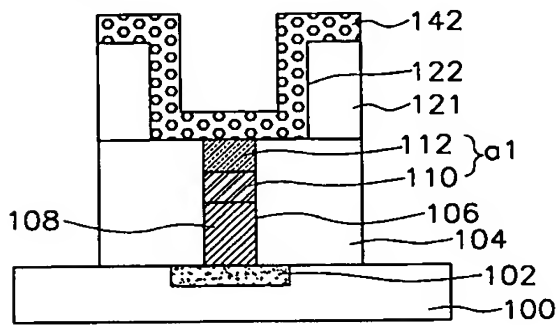
【도 1d】



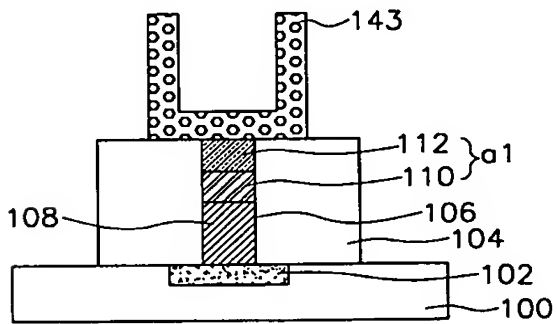
【도 1e】



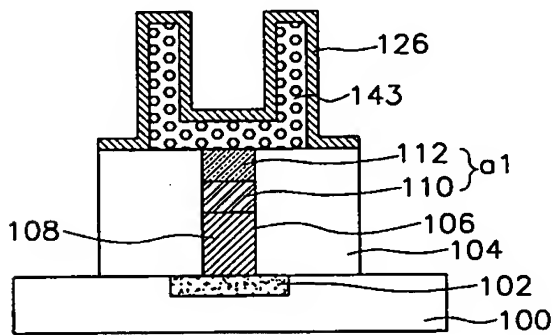
【도 1f】



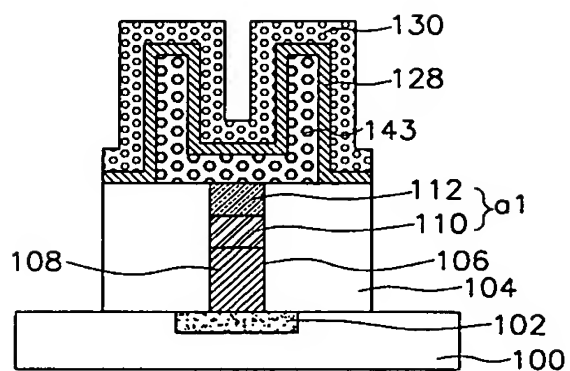
【도 1g】



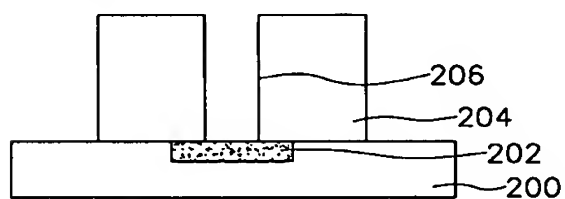
【도 1h】



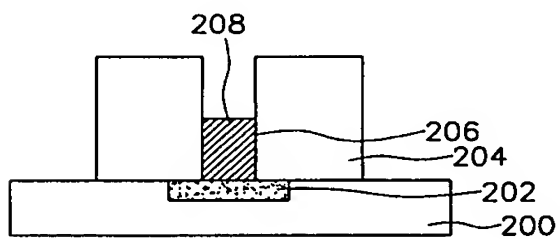
【도 1i】



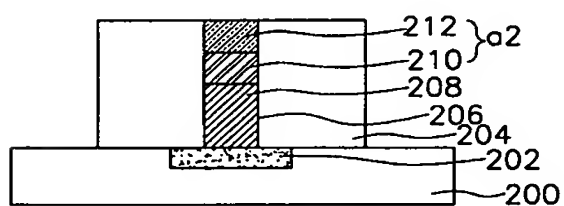
【도 2a】



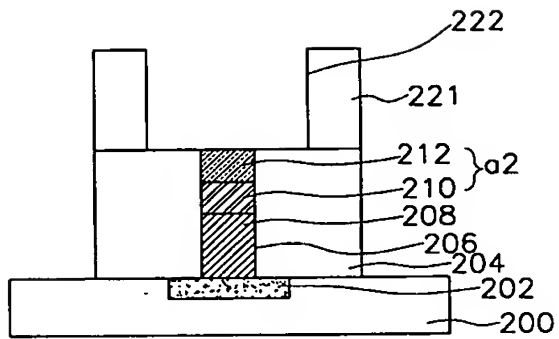
【도 2b】



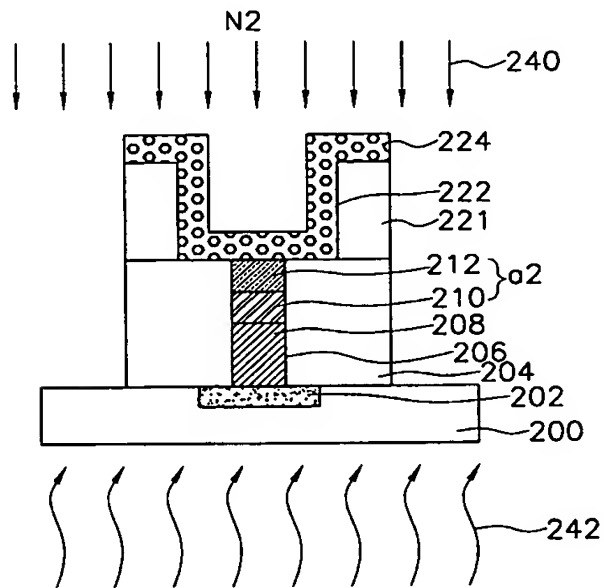
【도 2c】



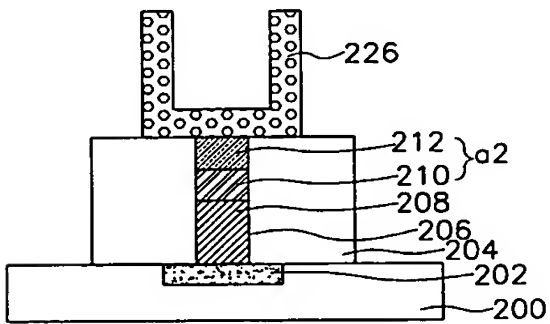
【도 2d】



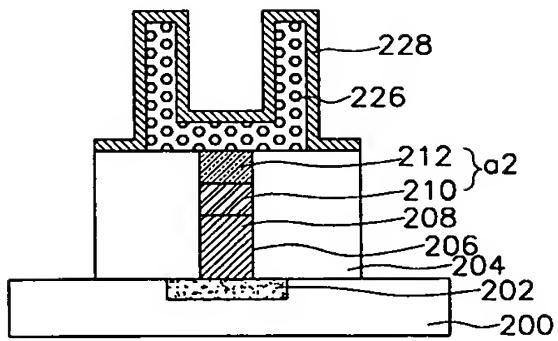
【도 2e】



【도 2f】



【도 2g】



【도 2h】

